

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-307167

(43) 公開日 平成5年(1993)11月19日

(51) Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 02 F 1/133	5 5 0	7820-2K		
G 01 M 11/00		T 8204-2G		
G 02 F 1/13	1 0 1	7348-2K		
	1/136	5 0 0	9018-2K	
G 09 G 3/36		7319-5G		

審査請求 未請求 請求項の数2(全7頁)

(21) 出願番号 特願平4-111323

(22) 出願日 平成4年(1992)4月30日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 小澤 徳郎

長野県諏訪市大和3丁目3番5号 セイコ  
ーエプソン株式会社内

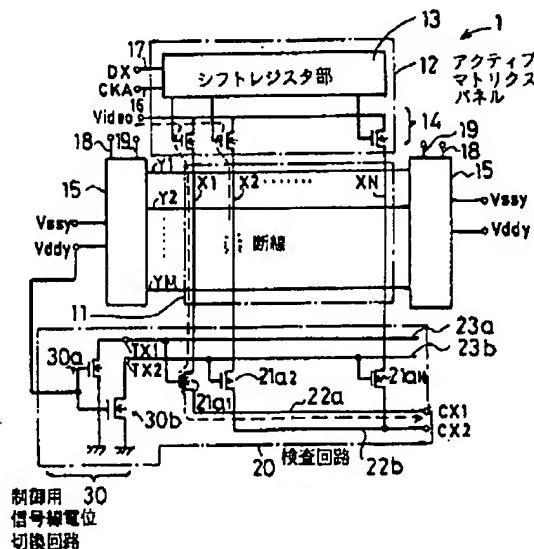
(74) 代理人 弁理士 山田 稔

(54) 【発明の名称】 アクティブマトリクスパネル

(57) 【要約】

【目的】 検査工程の後に検査回路に対する配線形成を不要化して、生産性および信頼性を向上可能なアクティブマトリクスパネルを実現すること。

【構成】 アクティブマトリクスパネル1において、ソース線X<sub>1</sub>～X<sub>N</sub>に対する検査回路20の制御用信号線電位切換回路30では、検査が終了して、画面を表示するときに、正側の電源線V<sub>ssy</sub>に電位が印加されると、TFT 30a, 30bがON状態になって、検査回路20と画素マトリクス11とを絶縁状態に切換されると共に、TFT制御用信号線23a, 23bはローレベルの電位に保持される。



1

2

## 【特許請求の範囲】

【請求項1】 信号線駆動回路側に導電接続する複数の信号線および走査線駆動回路側に導電接続する複数の走査線が格子状に配置されて画面の各画素が形成された画素マトリクスと、制御用信号線を介して印加された電位に基づいて高インピーダンス状態と低インピーダンス状態との間で切り換えられるスイッチング回路と、このスイッチング回路を介して前記信号線に導電接続し、前記スイッチング回路が低インピーダンス状態にあるときに前記信号線駆動回路側から前記信号線に入力された検査用信号を検査用信号出力端子から出力可能な検査用信号線と、前記画面の表示状態および非表示状態に対応して電位が変化する前記信号線駆動回路側および前記走査線駆動回路側のいずれかの配線から供給された電位に基づいて動作し、この電位が前記画面の表示状態に相当するレベルであるときに、前記制御用信号線の電位を前記スイッチング回路が高インピーダンス状態となるレベルの電位に切り換えて保持する制御用信号線電位切換回路と、を有していることを特徴とするアクティブマトリクスピネル。

【請求項2】 請求項1において、前記制御用信号線電位切換回路の動作を規定する電位をそれに供給する前記配線は、前記走査線駆動回路側の電源線であることを特徴とするアクティブマトリクスピネル。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は液晶表示パネルなどのアクティブマトリクスピネルに関し、特に、その信号線に対する検査回路に関する。

## 【0002】

【従来の技術】 液晶の配向状態などをを利用して情報を表示するフラット型表示パネルのうち、アクティブマトリクス方式の液晶表示パネルにおいて、その全体構成を図4にブロック図で示すように、ソース線 $X_1, X_2 \dots X_n$ （信号線）とゲート線 $Y_1, Y_2 \dots Y_m$ （走査線）とが格子状に配置されて、その交点に画素が形成された画素マトリクス51を有しており、いずれの画素にも、薄膜トランジスタ（TFT）と液晶セルとを有する。ここで、ソース線 $X_1, X_2 \dots X_n$ は画素マトリクス51と同一基板上のソース線駆動回路52の側に導電接続し、このソース線駆動回路52の側にはシフトレジスタ部53、サンプルホールド回路54およびビデオ信号線Videoを有する。一方、ゲート線 $Y_1, Y_2 \dots Y_m$ は画素マトリクス51と同一基板上のゲート線駆動回路55の側に導電接続し、このゲート線駆動回路55の側にはシフトレジスタおよび必要に応じてパッファ回路を有する。さらに、ソース線駆動回路52の側には、そのシフトレジスタ部53にクロック信号CKAを入力すべきクロック信号線56および開始信号D1を供給すべき開始信号線57が配置されている一方、ゲ

ート線駆動回路55の側にも、そのシフトレジスタにクロック信号を入力すべきクロック信号線58および開始信号を供給すべき開始信号線59が配置されている。ここで、シフトレジスタ部、たとえば、ソース線駆動回路52の側のシフトレジスタ部53は、1ビット当たり、図3に示すように、クロック信号CKAのうちのクロック信号φおよびクロック信号φと逆相のクロック信号φ\*（φバー）で駆動される単位シフトレジスタ部53a、53bで構成され、いずれの単位シフトレジスタ部53a、53bも、1つのインバータ531と、2つのクロックドインバータ532a、533aもしくは2つのクロックドインバータ532b、533bで構成されて、クロック信号φまたはクロック信号φ\*で駆動可能になっている。

【0003】 このような構成のアクティブマトリクスピネルにおいて、その基板上にはソース線 $X_1, X_2 \dots X_n$ に対する検査回路60も形成されている。この検査回路60は、ソース線 $X_1, X_2 \dots X_n$ に対してTFT61a<sub>1</sub>, 61a<sub>2</sub>...61a<sub>n</sub>（スイッチング回路）を介して導電接続する2つの検査用信号線62a, 62bと、TFT61a<sub>1</sub>, 61a<sub>2</sub>...61a<sub>n</sub>のゲートに導電接続する2つのTFT制御用信号線63a, 63bとを有し、そのうち、TFT制御用信号線63aは奇数番目のTFT61a<sub>1</sub>, 61a<sub>3</sub>...61a<sub>n-1</sub>を駆動可能に、また、TFT制御用信号線63bは偶数番目のTFT61a<sub>2</sub>, 61a<sub>4</sub>...61a<sub>n</sub>を駆動可能になっていると共に、それぞれの端部にはTFT制御用信号入力端子TX<sub>1</sub>, TX<sub>2</sub>を備える。また、検査用信号線62a, 62bは、端部に検査用信号出力端子CX<sub>1</sub>, CX<sub>2</sub>を備える。

【0004】 このような検査回路60において、ソース線 $X_1, X_2 \dots X_n$ の断線を検出するための検査工程においては、図2に示す波形図のうちの左側の波形図に示すように、TFT制御用信号入力端子TX<sub>1</sub>, TX<sub>2</sub>のうち、TFT制御用信号入力端子TX<sub>1</sub>からハイレベル（Hレベル）のゲート電位101aを奇数番目のTFT61a<sub>1</sub>, 61a<sub>3</sub>...61a<sub>n-1</sub>のゲートに供給してそれらをON状態として、ソース線 $X_1, X_3 \dots X_{n-1}$ と検査用信号線62aとを導通状態（スイッチング回路が低インピーダンス状態）とする一方、TFT制御用信号入力端子TX<sub>2</sub>からはローレベル（Lレベル）のゲート電位101bを偶数番目のTFT61a<sub>2</sub>, 61a<sub>4</sub>...61a<sub>n</sub>のゲートに供給して、それらをOFF状態（スイッチング回路が高インピーダンス状態）にしておく。この状態で、ビデオ信号線Videoから所定の検査用電流を供給すると共に、シフトレジスタ部53にクロック信号φ, φ\*を供給して、シフトレジスタ部53からサンプルホールド回路54にピット信号102a, 102bを送出すると、ピット信号102a, 102bに対応して、サンプルホールド回路5

4の各アナログスイッチが動作して、ビデオ信号線V1  
deoの検査用電流をソース線X<sub>1</sub>, X<sub>2</sub>...X<sub>n-1</sub>  
に導く。ここで、ソース線X<sub>1</sub>, X<sub>2</sub>...X<sub>n</sub>のうち、奇数番目のソース線X<sub>1</sub>, X<sub>3</sub>...X<sub>n-1</sub>と検査用信号線62bとの間に配置された奇数番目のTFT6  
1a<sub>1</sub>, 61a<sub>3</sub>...61a<sub>n-1</sub>のみがON状態にあるため、奇数番目のソース線X<sub>1</sub>, X<sub>3</sub>...X<sub>n-1</sub>を通して、検査用電流が検査用信号出力端子CX<sub>1</sub>から検査用電流信号103aとして時系列的に出力される。これに対して、ソース線X<sub>2</sub>, X<sub>4</sub>...X<sub>n</sub>の側からの検査出力電流信号103bは流れない。逆に、図2に示す波形図のうちの右側の波形図に示すように、TFT制御用信号入力端子TX<sub>1</sub>からHレベルのゲート電位1  
01bを偶数番目のTFT61a<sub>2</sub>, 61a<sub>4</sub>...61a<sub>n</sub>に供給すると、ソース線X<sub>2</sub>, X<sub>4</sub>...X<sub>n</sub>の側からの検査出力電流信号103bが検査用信号出力端子CX<sub>2</sub>から出力される。このため、図4に示すように、ソース線X<sub>2</sub>に断線が生じていると、検査出力電流信号103bには、ソース線X<sub>2</sub>に対応するタイミングで電流が流れないと示す信号104が出現して、ソース線X<sub>2</sub>に断線が生じていることが確認できる。

## 【0005】

【発明が解決しようとする課題】しかしながら、従来のアクティブマトリクスピネルの検査回路60において、ソース線X<sub>1</sub>, X<sub>2</sub>...X<sub>n</sub>に対する検査工程は、その製造工程の途中に行われ、検査工程に用いたTFT制御用信号線63a, 63bをアクティブマトリクスピネルの完成後もフロート状態のままにしておくと、ソース線X<sub>1</sub>, X<sub>2</sub>...X<sub>n</sub>とが完全に絶縁分離されていなことなどに起因して、TFT制御用信号線63a, 63bや検査回路60の側からのノイズがソース線X<sub>1</sub>, X<sub>2</sub>...X<sub>n</sub>に伝わって、画面の表示品位が低下する。このため、検査工程の後に、再び配線工程を行って、TFT制御用信号線63a, 63bと、たとえばゲート線駆動回路55の負側の電源線V<sub>...</sub>とを導電接続する工程を必要とするので、アクティブマトリクスピネルの製造工程が複雑になって、その生産性の向上の妨げになっているという問題点がある。また、ソース線X<sub>1</sub>, X<sub>2</sub>...X<sub>n</sub>の検査工程の後に配線工程を行うため、この工程において、ソース線X<sub>1</sub>, X<sub>2</sub>...X<sub>n</sub>に断線が生じやすいことに加えて、この工程において発生した断線は検査されずに最終工程にまで残り、歩留りを低下させてしまうという問題点がある。

【0006】以上の問題点に鑑みて、本発明の課題は、検査を終了後の検査回路側の制御用信号線を自動的に所定の電位に固定しておく制御用信号線電位切換回路を設けて、検査工程後に検査回路に対する配線形成を不要化することによって、生産性および信頼性を向上可能なアクティブマトリクスピネルを実現することにある。

## 【0007】

【課題を解決するための手段】上記課題を解決するために、本発明において講じた手段は、信号線駆動回路側に導電接続する複数の信号線および走査線駆動回路側に導電接続する複数の走査線が格子状に配置されて画面の各画素が形成された画素マトリクスと、制御用信号線を介して印加された電位に基づいて高インピーダンス状態および低インピーダンス状態に切り換えられるスイッチング回路と、このスイッチング回路を介して信号線に導電接続し、スイッチング回路が低インピーダンス状態にあるときに信号線駆動回路側から信号線に入力された検査用信号を検査用信号出力端子から出力する検査用信号線と、画面の表示状態および非表示状態に対応して電位が変化する信号線駆動回路側および走査線駆動回路側のいずれかの配線から供給された電位に基づいて動作し、この電位が画面の表示状態に相当するレベルであるときには制御用信号線をスイッチング回路が高インピーダンス状態となるレベルの電位に固定する制御用信号線電位切換回路とを、アクティブマトリクスピネルに設けることである。

【0008】ここで、制御用信号線電位切換回路の動作を規定する電位をそれに供給する配線として、走査線駆動回路側の電源線を利用することが好ましい。

## 【0009】

【作用】上記手段を講じた本発明に係るアクティブマトリクスピネルにおいて、制御用信号線を介してスイッチング回路に所定の電位を供給して、スイッチング回路を低インピーダンス状態に切り換えた状態で、信号線駆動回路側から信号線に検査用信号を入力すると、検査用電流信号はスイッチング回路および検査用信号線を介して検査用信号出力端子から出力されるため、その電流信号に基づいて、ソース線の断線の有無をソース線毎に検査できる。ここで、検査工程は画面が非表示状態のときに行われ、表示状態とは異なる電位が信号線駆動回路側または走査線駆動回路側のいずれかの配線に印加された状態にあるのに対して、画面が表示状態になるときには、この配線の電位は異なるレベルの電位に移行するため、この電位の変化に基づいて、制御用信号線電位切換回路は制御用信号線をスイッチング回路が高インピーダンス状態となるレベルの電位に切り換える。たとえば、走査線駆動回路側の電源線に対しては、信号線の検査中は電位が印加されないかもしくは低い電位が印加されるが、画面を表示状態とするときには、電位が印加されるかもしくは高い電位が印加されるため、この電源線の電位の変化に対応して、制御用信号線電位切換回路は制御用信号線の電位を規定する。それ故、スイッチング回路は自動的に高インピーダンス状態にして、検査回路と画素マトリクスピネルとを自動的に絶縁状態とすると共に、その電位に制御用信号線の電位を自動的に固定するため、検査工程の後に、制御用信号線を他の配線に接続する必要がない。

## 【0010】

【実施例】つぎに、添付図面を参照して、本発明の実施例について説明する。

【0011】図1は本発明の実施例に係るアクティブマトリクスパネル(液晶表示パネル)の構成を示すプロック図である。ここで、本例のアクティブマトリクスピネルの構成のうち、ソース線(信号線)、ゲート線(走査線)、画素マトリクス、ソース線駆動回路およびゲート線駆動回路については、従来のアクティブマトリクスピネルと同様な構成になっているため、対応する部分同士、たとえばソース線およびゲート線などについては同符号を付してある。

【0012】この図において、本例のアクティブマトリクスピネル1は、ソース線、ゲート線、画素マトリクス、ソース線駆動回路、ゲート線駆動回路およびソース線の断線の有無を検査する検査回路が同一の基板上に形成されており、その基板上において、ソース線 $X_1, X_2 \dots X_n$ (信号線)とゲート線 $Y_1, Y_2 \dots Y_n$ (走査線)とが格子状に配置されて、その交点に画素を備える画素マトリクス11を有する。また、いずれの画素にも、薄膜トランジスタ(TFT)と液晶セルとを有し、薄膜トランジスタの動作に対応して、液晶セルに所定の電位が印加されて、各画素の液晶の配向状態に対応する画面が表示される。ここで、ソース線 $X_1, X_2 \dots X_n$ は、画素マトリクス11と同一基板上に形成されたソース線駆動回路12に導電接続しており、このソース線駆動回路12の側にはシフトレジスタ部13、サンプルホールド回路14およびビデオ信号線Videoを有する。そして、ソース線 $X_1, X_2 \dots X_n$ は、サンプルホールド回路14の各アナログスイッチを介してシフトレジスタ部13の1ビット毎の単位シフトレジタ部に対応している。このため、シフトレジスタ部13から出力されたビット信号に基づいて、TFT14a<sub>1</sub>, 14a<sub>2</sub> ..., 14a<sub>n</sub>はON状態またはOFF状態に制御されて、ソース線 $X_1, X_2 \dots X_n$ にビデオ信号線Videoからのビデオ信号をホールド可能になっている。一方、ゲート線 $Y_1, Y_2 \dots Y_n$ は、同一基板上の画素マトリクス11の両側に配置されたゲート線駆動回路15の側に導電接続し、このゲート線駆動回路15の側にはシフトレジスタおよび必要に応じてバッファ回路を有する。ここで、ゲート線駆動回路15のシフトレジスタ部も複数のTFTで構成され、それらを駆動するために、ゲート線駆動回路15の側にも負側の電源線V<sub>ss</sub>および正側の電源線V<sub>dd</sub>が配置されている。さらに、ソース線駆動回路12の側には、そのシフトレジスタ部13にクロック信号CKAを入力すべきクロック信号線16および開始信号D<sub>1</sub>を供給すべき開始信号線17が配置されている一方、ゲート線駆動回路15の側にも、そのシフトレジスタ部にクロック信号を入力すべきクロック信号線18および開始信号を供

給すべき開始信号線19が配置されている。ここで、シフトレジスタ部、たとえば、ソース線駆動回路12の側のシフトレジスタ部13は、1ビット当たり、図3を用いて説明した従来のアクティブマトリクスのシフトレジスタ部と同様に、クロック信号CKAのうちのクロック信号φおよびクロック信号φと逆相のクロック信号φ\*(φバー)で駆動される単位シフトレジスタ部13a, 13bで構成され、いずれの単位シフトレジスタ部13a, 13bも、1つのインバータ531と、2つのクロックドインバータ532a, 533aもしくは2つのクロックドインバータ532b, 533bで構成されて、クロック信号φまたはクロック信号φ\*で駆動可能になっている。

【0013】このような構成のアクティブマトリクスピネル1において、ソース線 $X_1, X_2 \dots X_n$ はゲート線 $Y_1, Y_2 \dots Y_n$ に肩間絶縁膜を介して上層側に形成されているため、ゲート線 $Y_1, Y_2 \dots Y_n$ に比較して段差切れなどの断線が発生しやすい。そこで、ソース線 $X_1, X_2 \dots X_n$ の断線の有無を確認可能なように、基板上には、ソース線 $X_1, X_2 \dots X_n$ に対する検査回路20が形成されている。この検査回路20は、ソース線 $X_1, X_2 \dots X_n$ に対してTFT21a<sub>1</sub>, 21a<sub>2</sub> ..., 21a<sub>n</sub>(スイッチング回路)を介して導電接続する2つの検査用信号線22a, 22bと、画素マトリクス11の辺方向に沿って配置されてTFT21a<sub>1</sub>, 21a<sub>2</sub> ..., 21a<sub>n</sub>のゲートに導電接続する2つのTFT制御用信号線23a, 23b(制御用信号線)とを有し、そのうち、TFT制御用信号線23aは奇数番目のTFT21a<sub>1</sub>, 21a<sub>3</sub> ..., 21a<sub>n-1</sub>を駆動可能に、また、TFT制御用信号線23bは偶数番目のTFT21a<sub>2</sub>, 21a<sub>4</sub> ..., 21a<sub>n</sub>を駆動可能になっている。また、検査用信号線22a, 22bは端部に検査用信号出力端子CX<sub>1</sub>, CX<sub>2</sub>を備え、TFT制御用信号線23a, 23bは端部にTFT制御用信号入力端子TX<sub>1</sub>, TX<sub>2</sub>を備える。

【0014】このような検査回路20において、TFT制御用信号線23a, 23bをアクティブマトリクスピネル1の完成後もフロート状態のままにしておくと、ソース線 $X_1, X_2 \dots X_n$ と検査回路20とが完全に絶縁分離されていないことに起因して、TFT制御用信号線23a, 23bや検査回路20の側からのノイズがソース線 $X_1, X_2 \dots X_n$ に伝わって、画面の表示品位が低下する。そこで、本例のアクティブマトリクスピネル1においては、アクティブマトリクスピネル1に画面表示するとき、すなわち検査が終了した後において、TFT制御用信号線23a, 23bを自動的にアース電位などの低い電位レベルに固定するための制御用信号線電位切換回路30を有する。この制御用信号線電位切換回路30には、TFT制御用信号線23a, 23b

に対応する2つのn型のTFT30a, 30bを有し、これらのTFT30a, 30bのいずれのゲートも、アクティブマトリクスパネル1の画面が表示状態および非表示状態に変化するのにに対応して電位が変化する配線として、ゲート線駆動回路15の正側の電源線V<sub>dd</sub>に導電接続している。すなわち、ゲート線駆動回路15の正側の電源線V<sub>dd</sub>には、画面の表示状態においては、正の駆動電位が供給されるが、画面の非表示状態においては、駆動電位が印加されないかもしくは低電位が印加される。このため、断線を検査するときには、正側の電源線V<sub>dd</sub>にはハイレベルの電位が印加されないため、いずれのTFT30a, 30bもOFF状態であるので、TFT21a<sub>1</sub>, 21a<sub>2</sub>, ..., 21a<sub>n</sub>のゲート電位はTFT制御用信号入力端子TX<sub>1</sub>, TX<sub>2</sub>に印加された電位に規定可能になっている。一方、検査が終了したときには、正側の電源線V<sub>dd</sub>にハイレベルの電位が印加されるので、いずれのTFT30a, 30bもON状態になって、TFT制御用信号線23a, 23bの電位、すなわち、TFT21a<sub>1</sub>, 21a<sub>2</sub>, ..., 21a<sub>n</sub>のゲート電位は低レベルになって、それらは高インピーダンス状態になる。このため、検査回路20と画素マトリクス11とを絶縁状態に切換可能になっていると共に、TFT制御用信号線23a, 23bの電位を低レベル(アース電位)に固定した状態に保持可能になっている。

【0015】このような構成のアクティブマトリクス1の検査回路20において、ソース線X<sub>1</sub>, X<sub>2</sub>, ..., X<sub>n</sub>に対する検査工程を、図2に示す各信号の波形図を参照して説明する。ここで、画面を表示する必要がないため、正側の電源線V<sub>dd</sub>には電位が印加されておらず、TFT30a, 30bはOFF状態であるので、TFT制御用信号線23a, 23bはフロート状態にある。

【0016】この状態から検査工程を行うには、まず、図2に示す波形図のうちの左側の波形図に示すように、TFT制御用信号入力端子TX<sub>1</sub>, TX<sub>2</sub>のうち、TFT制御用信号入力端子TX<sub>1</sub>からHレベルのゲート電位101aを奇数番目のTFT21a<sub>1</sub>, 21a<sub>2</sub>, ..., 21a<sub>n-1</sub>のゲート電位に供給して、それらをON状態とし、ソース線X<sub>1</sub>, X<sub>2</sub>, ..., X<sub>n-1</sub>と検査用信号線12aとを導通状態(スイッチング回路が低インピーダンス状態)とする。一方、TFT制御用信号入力端子TX<sub>2</sub>からはLレベル(低い電位レベル)のゲート電位101bを偶数番目のTFT21a<sub>1</sub>, 21a<sub>2</sub>, ..., 21a<sub>n</sub>のゲートに供給して、それらをOFF状態とする。この状態で、ビデオ信号線Videoから所定の検査用電流を供給すると共に、シフトレジスタ部13にクロック信号φ, φ\*を供給して、シフトレジスタ部13からサンプルホールド回路14にピット信号102a, 102bを送出すると、ピット信号102a, 102bに対応して、サンプルホールド回路14の各アナログス

イッチが動作し、ビデオ信号線Videoの検査用電流をソース線X<sub>1</sub>, X<sub>2</sub>, ..., X<sub>n</sub>に導く。ここで、ソース線X<sub>1</sub>, X<sub>2</sub>, ..., X<sub>n</sub>のうち、奇数番目のソース線X<sub>1</sub>, X<sub>3</sub>, ..., X<sub>n-1</sub>と検査用信号線12bとの間に配置された奇数番目のTFT21a<sub>1</sub>, 21a<sub>2</sub>, ..., 21a<sub>n-1</sub>のみがON状態にあるため、奇数番目のソース線X<sub>1</sub>, X<sub>3</sub>, ..., X<sub>n-1</sub>を通して、検査用電流が検査用信号出力端子CX<sub>1</sub>から検査用電流信号103aとして時系列的に出力される。これに対して、偶数番目のソース線X<sub>2</sub>, X<sub>4</sub>, ..., X<sub>n</sub>の側からの検査用電流信号103bは流れない。逆に、図2に示す波形図のうちの右側の波形図に示すように、TFT制御用信号入力端子TX<sub>1</sub>からHレベルのゲート電位101bを偶数番目のTFT21a<sub>1</sub>, 21a<sub>2</sub>, ..., 21a<sub>n</sub>に供給して、それらをON状態とすることによって、偶数番目のソース線X<sub>2</sub>, X<sub>4</sub>, ..., X<sub>n</sub>の側からの検査用電流が検査用信号出力端子CX<sub>2</sub>を介して検査用電流信号103bとして出力される。このため、図1に示すように、ソース線X<sub>2</sub>に断線が生じていると、検査用電流信号103bには、ソース線X<sub>2</sub>に対応するタイミングで電流が流れないと示す信号104が出現していることを開始信号DXとの対比から識別して、ソース線X<sub>2</sub>に断線が生じていることが確認できる。

【0017】以上の検査工程が終了した後に、アクティブマトリクスパネル1の全製造工程を完了して、アクティブマトリクスパネル1に画面を表示するときには、ゲート線駆動回路15の正側の電源線V<sub>dd</sub>に高い電位レベルの駆動電位が印加される。このため、TFT30a, 30bがいずれもON状態になって、TFT制御用信号線23a, 23bの電位、すなわち、全てのTFT21a<sub>1</sub>, 21a<sub>2</sub>, ..., 21a<sub>n</sub>のゲート電位は低い電位レベルになって、それらは自動的に高インピーダンス状態となり、検査回路20と画素マトリクス11とが絶縁状態に自動的に切換される。また、TFT制御用信号線23a, 23bの電位はアース電位(低い電位レベル)に自動的に固定される。

【0018】このように、本例のアクティブマトリクスパネル1においては、画面を表示するときにハイレベルの電位が印加されるゲート線駆動回路15の正側の電源線V<sub>dd</sub>を利用して、画面を表示するときには、検査回路20を画素マトリクス11の側から確実にかつ自動的に絶縁分離すると共に、TFT制御用信号線23a, 23bの電位レベルを確実にかつ自動的にアース電位に固定した状態とする。このため、配線工程が完了した後に、ソース線X<sub>1</sub>, X<sub>2</sub>, ..., X<sub>n</sub>に対する断線の有無の検査工程を行なえ、検査工程の後に再度配線工程を行う必要がない。

【0019】それ故、アクティブマトリクスパネル1の生産性および信頼性のいずれもを向上することができる。

【0020】なお、検査時に、TFT制御用信号入力端子TX<sub>1</sub>、TX<sub>2</sub>にハイレベルの電位を印加する電源としては、外部からの定電圧電源または定電圧発生回路を用いることができるが、その他にも、ゲート線駆動回路15の正側の電源線V<sub>dd</sub>、とTFT制御用信号入力端子TX<sub>1</sub>、TX<sub>2</sub>と導電接続しておき、検査時には、電源線V<sub>dd</sub>に対して、TFT11a<sub>1</sub>、11a<sub>2</sub>、…11a<sub>n</sub>をオン状態、かつ、TFT30a<sub>1</sub>、30a<sub>2</sub>をオフ状態とする電位を供給してもよい。また、上記の検査回路の構成に部分的な変更を加えて、本例の検査回路をゲート線の検査回路側に採用することもできる。

## 【0021】

【発明の効果】以上のとおり、本発明に係るアクティブマトリクスパネルには、画面の表示状態および非表示状態に対応して電位が変化する信号線駆動回路側および走査線駆動回路側の配線、たとえば走査線駆動回路の電源線などから供給された電位に基づいて動作して、制御用信号線の電位のレベルに切り換える制御用信号線電位切換回路を有する。従って、本発明によれば、画面が表示状態になったときの電位に基づいて、制御用信号線電位切換回路は制御用信号線をスイッチング回路が高インピーダンス状態となるレベルの電位に切り換えて、検査回路と画素マトリクス側とを自動的に絶縁状態とすると共に、その電位に制御用信号線の電位を自動的に固定するため、検査工程の後に、制御用信号線を他の配線に接続させる必要がない。それ故、検査工程の後に再度配線工程を行う必要がないので、アクティブマトリクスパネルの生産性および信頼性が向上するという効果を奏する。

## 【図面の簡単な説明】

【図1】本発明の実施例1に係るアクティブマトリクスピネルの構成を示すブロック図である。

## 【図2】本発明の実施例に係るアクティブマトリクスピネル

ネルおよび従来のアクティブマトリクスピネルに対するソース線の断線検査工程において、各部位に入出力される信号の波形図である。

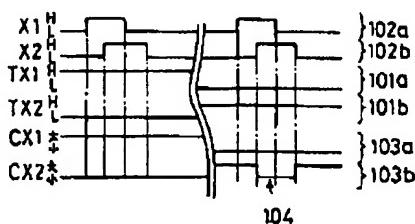
【図3】本発明の実施例に係るアクティブマトリクスピネルおよび従来のアクティブマトリクスピネルのソース線駆動回路のシフトレジスタの回路図である。

【図4】従来のアクティブマトリクスピネルの構成を示すブロック図である。

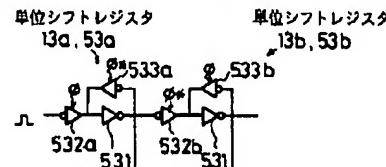
## 【符号の説明】

- 101 … アクティブマトリクスピネル
- 11, 51 … 画素マトリクス
- 12, 52 … ソース線駆動回路
- 13, 53 … シフトレジスタ部
- 14, 54 … サンプルホールド回路
- 15, 55 … ゲート線駆動回路
- 16, 18, 56, 58 … クロック信号線
- 20, 60 … 検査回路
- 21a<sub>1</sub> ~ 21a<sub>n</sub>, 61a<sub>1</sub> ~ 61a<sub>n</sub> … TFT (スイッチング回路)
- 22a, 22b, 62a, 62b … 検査用信号線
- 23a, 23b, 23a, 23b … TFT制御用信号線 (制御用信号線)
- 30 … 制御用信号線電位切換回路
- 30a, 30b … TFT
- CX<sub>1</sub>, CX<sub>2</sub> … 検査用信号出力端子
- TX<sub>1</sub>, TX<sub>2</sub> … TFT制御用信号入力端子
- V<sub>dd</sub> … ゲート線駆動回路の負側の電源線
- V<sub>dd</sub> … ゲート線駆動回路の正側の電源線
- Video … ビデオ信号線
- X<sub>1</sub> ~ X<sub>n</sub> … ソース線 (信号線)
- Y<sub>1</sub> ~ Y<sub>n</sub> … ゲート線 (走査線)

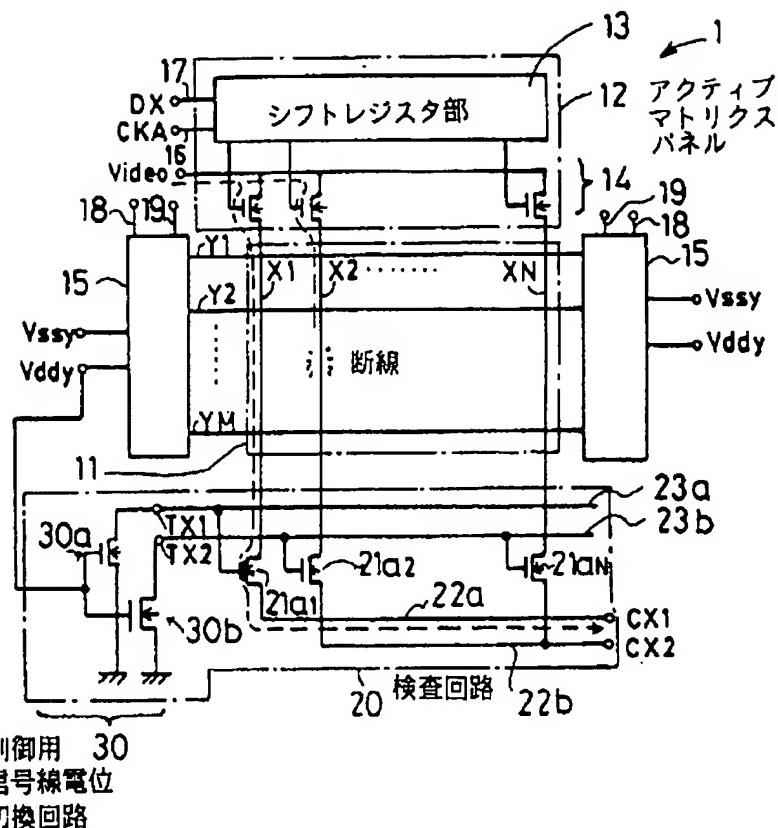
【図2】



【図3】



【図1】



【図4】

